

## MANUFACTURE OF THIN-FILM TRANSISTOR AND ACTIVE MATRIX SUBSTRATE, AND ELECTRO-OPTIC DEVICE

Patent Number: JP2000353807

Publication date: 2000-12-19

Inventor(s): ABE HIROYUKI;; KOBASHI YUTAKA

Applicant(s): SEIKO EPSON CORP

Requested Patent:  JP2000353807

Application Number: JP19990165232 19990611

Priority Number(s):

IPC Classification: H01L29/786; H01L21/336; G02F1/1365; H01L21/20

EC Classification:

Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a TFT which is enhanced in transistor characteristics, even if a polycrystalline semiconductor film obtained by making an amorphous semiconductor undergo laser annealing process is used as an active layer, a method of manufacturing an active matrix substrate, and an electro-optic device provided with an active matrix substrate formed by this method.

**SOLUTION:** In a method of manufacturing an active matrix substrate used for an electro-optic device such as a liquid crystal panel, when an amorphous semiconductor film 100 formed on a substrate 30 is turned polycrystalline by laser annealing and formed into a TFT, an oxide film present on the surface of the semiconductor film 100 at the time when laser annealing is carried out is set to 1/50 or smaller than the thickness of a gate insulating film, and in a laser annealing process, every point on the surface of the semiconductor film 100 is irradiated 20 to 200 times with a laser beam.

Data supplied from the **esp@cenet** database - I2

特開 2000-353807

(P 2000-353807 A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int. C1.  
 H 01 L 29/786  
 21/336  
 G 02 F 1/1365  
 H 01 L 21/20

識別記号

F I  
 H 01 L 29/78 6 2 7 G 2H092  
 21/20 5F052  
 G 02 F 1/136 5 0 0 5F110

マーク (参考)

審査請求 未請求 請求項の数 12 O L

(全20頁)

(21) 出願番号 特願平11-165232

(71) 出願人 000002369

セイヨーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日 平成11年6月11日 (1999. 6. 11)

(72) 発明者 阿部 裕幸

長野県諏訪市大和3丁目3番5号 セイヨーエプソン株式会社内

(72) 発明者 小橋 裕

長野県諏訪市大和3丁目3番5号 セイヨーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

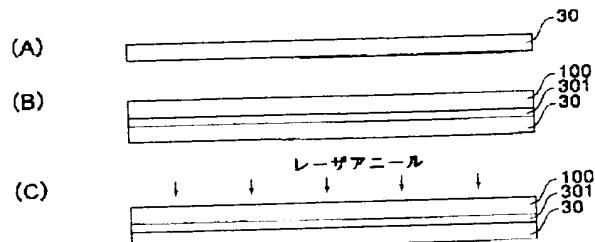
最終頁に続く

(54) 【発明の名称】薄膜トランジスタの製造方法、アクティブマトリクス基板の製造方法、および電気光学装置

## (57) 【要約】

【課題】 非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた場合でも、良好なトランジスタ特性を有するTFTの製造方法、アクティブマトリクス基板の製造方法、およびこの方法で製造したアクティブマトリクス基板を用いた電気光学装置を提供すること。

【解決手段】 液晶パネルなどの電気光学装置に用いるアクティブマトリクス基板の製造方法において、基板300上に形成した非晶質の半導体膜100をレーザアニールによって多結晶化させてからTFTを製造する際に、レーザアニールを行う時点で半導体膜100の表面に存しておる酸化膜の厚さをゲート絶縁膜の厚さの1/5以下とし、かつ、レーザアニール工程では、半導体膜100表面の1箇所につき20回～200回、レーザ光を照射する。



1

## 【特許請求の範囲】

【請求項1】 基板上に非晶質の半導体膜を形成する成膜工程と、該非晶質の半導体膜に対してレーザ光を照射して当該半導体膜を多結晶化させるレーザアニール工程と、該多結晶性半導体膜表面にゲート絶縁膜を形成するゲート絶縁膜形成工程とを有する薄膜トランジスタの製造方法において、

前記レーザアニール工程を行う時点で前記非晶質の半導体膜の表面に存在している酸化膜の厚さを前記ゲート絶縁膜の厚さの1/15.0以下とするととともに、

前記レーザアニール工程では、前記半導体膜表面の1箇所にわたり20回以上、レーザ光を照射することを特徴とする薄膜トランジスタの製造方法

【請求項2】 請求項1において、前記レーザアニール工程では、前記半導体膜表面の少なくとも一部に対し1箇所にわたり80回以上、レーザ光を照射することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 請求項1において、前記レーザアニール工程では、前記半導体膜表面の少なくとも一部に対し1箇所にわたり20回の照射のレーザ光の照射にとどめることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項1ないし3のいずれかにおいて、前記レーザアニール工程では、前記レーザ光としてライターヒームを用い、該ライターヒームの長手方向と直交する方向に当該ライターヒームの照射領域を部分的に重ねながら前記半導体膜表面にレーザ光を照射していくことを特徴とする薄膜トランジスタの製造方法。

【請求項5】 請求項1ないし4のいずれかにおいて、前記レーザアニール工程を行う時点で前記非晶質の半導体膜の表面に形成されている酸化膜の厚さを前記ゲート絶縁膜の厚さの1/15.0以下とするにあたって、前記成膜工程以後、前記レーザアニール工程を行う前に、前記非晶質の半導体膜の表面に形成されている酸化膜を除去するエッチング工程を行うことを特徴とする薄膜トランジスタの製造方法

【請求項6】 請求項5において、前記エッチング工程では、前記非晶質の半導体膜の表面に対してヒ酸水素を含むエチアルカリ液を用いたエチアルカリチングを行うことを特徴とする薄膜トランジスタの製造方法

【請求項7】 請求項5において、前記エッチング工程では、前記非晶質の半導体膜の表面に対してヒ酸水素を含むエチアルカリ液を用いてトモドエッチャリングを行うことを特徴とする薄膜トランジスタの製造方法。

【請求項8】 請求項5ないし7のいずれかにおいて、前記エッチャリング工程を行った後、前記レーザアニール工程を行うまでに間、前記半導体膜が酸素含有雰囲気中に晒される暴露時間をT時間とし、前記ゲート絶縁膜の厚さをもと、ゲートロードとしたときに前記暴露時間と前記ゲート絶縁膜の厚さは、以下の式

T = 1 / 5.00

を満たす関係にあることを特徴とする薄膜トランジスタの製造方法

【請求項9】 請求項1ないし4のいずれかにおいて、前記レーザアニール工程を行う時点で前記非晶質の半導体膜の表面に形成されている酸化膜の厚さを前記ゲート絶縁膜の厚さの1/15.0以上とするにあたって、前記成膜工程以後、前記レーザアニール工程を行うまで前記非晶質の半導体膜の表面を非酸化性雰囲気中に保持することを特徴とする薄膜トランジスタの製造方法。

【請求項10】 請求項1ないし9のいずれかにおいて、前記レーザアニール工程は、酸素を含まない雰囲気中で行うことの特徴とする薄膜トランジスタの製造方法。

【請求項11】 請求項1ないし10のいずれかに規定する薄膜トランジスタの製造方法を用いて、電気光学装置のアクティブマトリクス基板上に少なくとも画素サイズの用の薄膜トランジスタを製造することを特徴とするアクティブマトリクス基板の製造方法。

【請求項12】 請求項11に規定するアクティブマトリクス基板を用いたことを特徴とする電気光学装置

## 【発明の詳細な説明】

## 【0.0.0.1】

【発明の属する技術分野】 本発明は、非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた薄膜トランジスタ(以下、TFTといふ)の製造方法、この製造方法を利用したアクティブマトリクス基板の製造方法、およびこの方法で製造したアクティブマトリクス基板を用いた電気光学装置に関するものである。

## 【0.0.0.2】

【従来の技術】 液晶ディスプレイのアクティブ素子等として用いられるTFTを製造するにあたっては、石英基板に代えて、安価なガラス基板を使用できるように低温プロセスが採用されつつある。低温プロセスとは、一般に、工程の最高温度(基板全体が同時に上がる最高温度)が600°C程度未満(好ましくは500°C未満)であるのに対して、高温プロセスとは工程の最高温度(基板全体が同時に上がる最高温度)が800°C程度以上にならざりでなく、シリコウ熱酸化炉といふ700°C~1200°Cの高温の工程を行なうものである。

【0.0.0.3】 しかし、低温プロセスでは、基板上に多結晶性の半導体膜を直接、形成するのではなく、たとえば、プラズマCVD法あるいは低圧CVD法を用いて非晶質の半導体膜を形成して第1の半導体膜を結晶化する必要がある。この結晶化の方法としては、たとえばS-POL法(Solid Phase Crystallization)やRTA法(Rapid Thermal Annealing)などといった手法があるが、XeClを用いたエキシマレーザヒームを照射することによってレーザアニール(ELA: Excimer Laser Annealing)によればガラス基板温度の上昇が抑えられ、

3

かつ、大粒径の多結晶Siが得られるため、最近では主流になりつつある。

【0004】このレーザアニール法を用いた多結晶性の半導体膜の製造方法では、まず、図3(A)に示すように、超音波洗浄等により清浄化したガラス基板301を準備した後、基板温度が約150℃から約450℃の温度条件下で、図3(B)に示すように、基板301の全面にシリコン酸化膜からなる平地保護膜301をアモルファスCVD法により形成する。次に、基板温度が約150℃から約450℃の温度条件下で基板301の全面にアモルファスシリコン(非晶質)の半導体膜100をアモルファスCVD法などの方法により形成する。次に、図3

(C)に示すように、半導体膜100に対してレーザ光を照射してレーザアニールを施す。このレーザアニール工程では、たとえば、図4に示すように、レーザ光の照射領域がX方向に長いライズヒーム(たとえば、レーザバルスの繰り返し周波数が200Hzのライズヒーム)を半導体膜100に照射し、その照射領域をY方向にずらしていく。その結果、非晶質の半導体膜100は、一度融融し、冷却固化過程を経て結晶化する。この際には、各領域ごとにレーザ光の照射時間が非常に短時間であり、かつ、照射領域も基板全体に対して局所的であるため、基板全体が同時に高温に熱せられることはない。

#### 【0005】

【発明が解決しようとする課題】しかしながら、レーザアニールによる結晶化は、結晶化した後も多結晶性の半導体膜において表面の凹凸が大きいという問題点がある。このような表面の凹凸が大きな半導体膜を用いてTFTを製造すると、ゲート耐圧が低下し、かつ、オフターン電流が低減あるいは信頼性を向上する際の妨げとなる。

【0006】このような問題点を解消するため、例えば、公開番号06-097196号公報には、非晶質の半導体膜の表面に酸化膜を形成した後、レーザ光を照射、その後、酸化膜を除去することで滑な多結晶の半導体膜を得る方法が開示されている。しかしながら、この方法では、酸化膜を通してレーザ光を照射するので、酸化膜が厚くなるとレーザ光の実効強度が低下する一方、酸化膜の厚さが中途半端であると多結晶化した後の半導体膜の表面において凹凸が逆に激しくなるという問題点がある。また、酸化膜を除去する際に、多結晶化した半導体膜、あるいは基板が損傷するという問題点もある。

【0007】一方、TFTを製造する際にゲート絶縁膜を厚くしてゲート耐圧を向上させる方法もあるが、ゲート絶縁膜を厚くすると、しきい値電圧(ゲート絶縁膜の厚さに正の線形相関を有するたる、しきい値電圧が上昇してしま)、TFTのスイッチング電圧も高くなるという問題点がある。

【0008】以上の問題点に鑑みて、本発明の課題は、

10

20

30

40

50

非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた場合でも、良好なトランジスタ特性を有するTFTの製造方法。この製造方法を利用したアクティバトリックス基板の製造方法、およびこの方法で製造したアクティバトリックス基板を用いた電気光学装置を提供することにある。

#### 【0009】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に非晶質の半導体膜を形成する成膜工程と、該非晶質の半導体膜に対してレーザ光を纏り返し照射して該半導体膜を多結晶化させるレーザアニール工程と、該多結晶性の半導体膜表面にゲート絶縁膜を形成するゲート絶縁膜形成工程とを有するTFTの製造方法において、前記レーザアニール工程を行う時点で前記非晶質の半導体膜の表面に存在している酸化膜の厚さを前記ゲート絶縁膜の厚さの1/15以下とし、かつ、前記レーザアニール工程では、前記半導体膜表面の1箇所につき20回以上、レーザ光を照射することを特徴とする。

【0010】本発明者がレーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さとレーザアニール後の多結晶性の半導体膜の表面の凹凸の大きさとの関係を纏り返し検討した結果、レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さが算ければ、レーザアニール後の多結晶性の半導体膜の表面において凹凸が小さくなることができるといい新たな知見を得た。また、本発明者が多結晶性の半導体膜の表面の凹凸とゲート絶縁膜の厚さとの関係を纏り返し検討した結果、多結晶性の半導体膜の表面の凹凸がゲート絶縁膜の厚さの1/15以下であれば、ゲート耐圧が大きくなり難いという新たな知見を得た。そこで、本発明では、レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/15以下とし、これにより、ゲート耐圧の低下を10%以内に収める。また、レーザアニール工程において、レーザ光を繰り返し照射する際に、その照射回数が20回未満では、レーザアニールを開始する時点で半導体膜表面に酸化膜がない場合、凹凸を十分に小さくできない傾向があるという知見を得た。そこで、本発明では、レーザアニール工程でレーザ光の照射回数を20回以上に設定し、レーザアニール工程を行った後も多結晶性の半導体膜の表面に発生する凹凸を小さく抑える。従って、非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を能動層として用いた場合でも、しきい値電圧およびゲート耐圧などの面で良好なトランジスタ特性を有するTFTを製造できる。

【0011】本発明において、前記レーザアニール工程

ては、前記半導体膜表面の1箇所に、つき80回以上、レーザ光を照射することが好ましい。

【0012】本発明において、前記レーザアーナー工程では、前記半導体膜表面の1箇所に、つき200回以下でのレーザ光の照射にとどめることが好ましい。レーザアーナー工程でレーザ光を繰り返し照射する際に、その照射回数が多いほど、半導体膜の結晶化度が向上してTFTのオフ電流が向上するが、ある回数でピークを示した後、200回を超えると、TFTのオフ電流が低下する傾向にある。逆に、本発明では、レーザアーナー工程でのレーザ光の照射回数を200回以下にとどめることにより、オフ電流の大きなTFTを製造することが好ましい。

【0013】本発明において、前記レーザアーナー工程で、レーザ光を繰り返し照射するにあたっては、前記レーザ光としてラインヒームを用い、該ラインヒームの長手方向と直交する方向に当該ラインヒームの照射領域を部分的に重ねながら前記半導体膜表面にレーザ光を照射していくことが好ましい。たとえば、ラインヒームの照射領域の幅寸法が5.0μmであれば、2.5μmピッチでラインヒームをすらしていくだけで半導体膜の1箇所からみれば、レーザ光が200回、照射されることになる。また、2.5μmピッチでラインヒームをすらしていくには、半導体膜の1箇所からみればレーザ光が20回、照射されたことになり、6μmピッチでラインヒームをすらしていくには、半導体膜の1箇所からみればレーザ光が約80回、照射されたことになる。

【0014】本発明において、前記アーナー工程を行う時点で前記非晶質の半導体膜の表面に形成されている酸化膜の厚さを前記ゲート絶縁膜の厚さの1/5.0以下とするにあたっては、たとえば、前記成膜工程の後、前記レーザアーナー工程を行う前に、前記非晶質の半導体膜の表面に形成されている酸化膜を除去するエッチング工程を行う。本発明において、このエッチング工程では、たとえば、前記非晶質の半導体膜の表面に対してア化水素を含むエッチング液を用いたウェットエッチングを行なう。また、エッチング工程では、前記非晶質の半導体膜の表面に対してアセチルガスを用いたドライエッチングを行ってもよい。ここで、前記エッチング工程を行った後、前記アーナー工程を行なうまでに前記半導体膜が酸素含有雰囲気中に晒される暴露時間をA時間とし、前記ゲート絶縁膜の厚さをもとシートストロークとしたときに前記暴露時間と前記ゲート絶縁膜の厚さは、以下の式

$$T = \frac{A}{0.001}$$

【0015】を満たす関係にあることが好ましい。エッチング工程により酸化膜を除去した後の半導体膜表面において、酸化膜の成長スピードは、大気中では～5.0ナノメートル/時間までは通常、最大で1.0ナノメートル/時間程度であるので、ゲート絶縁膜の厚さをもとシートストロークとしたときに前記暴露時間と前記ゲート絶縁膜の厚さは、以下の式

シングストローク) とすると、表面酸化膜の許容厚さは $t/5.0$  (オーフストローク) 以下である。従って、エッチング工程で酸化膜を除去した後の大気中での暴露時間は、 $t/5.0/1.0 = t/5.0$  (時間) を守ればよい。

【0016】本発明において、前記アーナー工程を行う時点で前記非晶質の半導体膜の表面に形成されている酸化膜の厚さを前記ゲート絶縁膜の厚さの1/5.0以下とするにあたっては、前記成膜工程の後、前記レーザアーナー工程を行なうまで、前記非晶質の半導体膜の表面を非酸化性雰囲気に保持し、酸化性雰囲気に晒さない方法を用いてよい。

【0017】本発明において、前記アーナー工程は、非酸化性雰囲気中で行なうことが好ましい。

【0018】このようなTFTの製造方法は、たとえば、電気光学装置のアクティオマトリクス基板上に少なくとも1箇所に画素アレイ、モニタ用のTFTを製造するのに利用できる。

【0019】

【発明の実施の形態】以下に、図面を参照して本発明の各実施の形態を説明するが、その前に各形態で共通の内容 (TFTの構造およびその基本的な製造方法) を説明しておく。

【0020】(TFTの構成) 図1および図2はそれそれ、TFTの平面図および断面図である。ここに示すTFTは、後述する液晶装置(電気光学装置)のアクティオマトリクス基板上に画素アレイ用のTFTとして形成される。すなわち、図1にアクティオマトリクス基板上に構成される画素群のうちの1つを一部の画素領域を抜き出して示すように、マトリクス基板に複数の透明なITO (Indium Tin Oxide) 膜がふたたび画素電極8が形成されており、これら各画素電極8に対して画素アレイ用のTFT 10がそれぞれ接続している。また、画素電極8の端端の境界に沿って、データ線90、走査線91および容量線92が形成され、TFT 10は、データ線90および走査線91に対して接続している。すなわち、データ線90は、コントラクトホールを介してTFT 10のデータ領域16に電気的に接続し、画素電極8は、コントラクトホールを介してTFT 10のデータ領域17に電気的に接続している。また、TFT 10のチャネル領域15に対向するように走査線91が延びている。なお、保持容量40は、画素アレイ用のTFT 10を形成するためのシリコン膜10a (半導体膜) (図1に斜線を付した領域) の迂回部分に接続するシリコン膜10a (半導体膜) (図1に斜線を付した領域) を導電化したものと下電極41とし、この下電極41に容量線92が上電極として重なった構造になつている。

【0021】このように構成した画素領域のA-A'線における断面は、図2に示すように表される。この図か

わかるように、アクティブラチクス基板1-1の基体たら透明な基板3-0の表面に絶縁性の下地保護膜3-0-1が形成され、この下地保護膜3-0-1の表面には、島状のシリコーン膜1-0-a、1-0-aが形成されている。シリコーン膜1-0-aの表面には、厚さが約100.0オクタメートルのゲート絶縁膜1-3が形成され、このゲート絶縁膜1-3の表面に走査線9-1がゲート電極として通っている。シリコーン膜1-0-aのうち、走査線9-1に対してゲート絶縁膜1-3を介して対峙する領域がチャネル形成領域1-5になっている。このチャネル形成領域1-5に対して一方側には、低濃度ゲート領域1-6-1および高濃度ゲート領域1-6-2を備えるゲート領域1-6が形成され、他方側には低濃度ドレイン領域1-7-1および高濃度ドレイン領域1-7-2を備える下トレンズ領域1-7が形成されている。

【0022】このように構成された画素部、チップ用のTFT1-0の表面側には、第1層間絶縁膜1-8および第2層間絶縁膜1-9が形成され、第1層間絶縁膜1-8の表面に形成されたデータ線9-0は、第1層間絶縁膜1-8に形成されたコントラクトホールを介して高濃度ゲート領域1-6-2に電気的に接続している。第1層間絶縁膜1-8の表面にはデータ線9-0と同時に形成されたドレイン電極1-4が形成され、このドレイン電極1-4は、第1層間絶縁膜1-8に形成されたコントラクトホールを介して高濃度トレンズ領域1-7-2に電気的に接続している。また、第2層間絶縁膜1-9の表面には画素電極8を形成され、この画素電極8は、第2層間絶縁膜1-9に形成されたコントラクトホールを介してトレンズ電極1-4に電気的に接続している。ここで、第2層間絶縁膜1-9はポリシリコン・金属膜を構成して得た下層側層間絶縁膜1-9-1と、CVD法により形成されたシリコーン酸化膜からなる層側層間絶縁膜1-9-2との層構造になっている。画素電極8の表面側にはシリコーン酸化膜や有機膜からなる表面保護膜1-5が形成され、この表面保護膜1-5の表面にシリコーン下膜からなる配向膜1-6が形成されている。この配向膜1-6は、シリコーン下膜に対して干式で処理が施された膜である。

【0023】なお、高濃度ドレイン領域1-7-2から延設されたシリコーン膜4-0-aには高濃度領域からなる下電極1-1が形成されている。この下電極1-1に対しては、ゲート絶縁膜1-3と同時に形成された絶縁膜(誘電体膜)を介して容量膜9-2が形成している。このようにして保有容量4-0が形成されている。

【0024】ここで、TFT1-0は、好ましくは上述のようにしてTFT1-0(ライトバー、トーピー・チャーブ)構造をもち、此濃度ドレイン領域1-6-1および高濃度トレンズ領域1-7-1に相当する領域に不純物イオノ注入を施さないオフセット構造を有していてもよい。また、TFT1-0は、走査線9-1をマスクとして高濃度ドレインおよびトレンズ領域を形成したセラフライント TFTである。

つてもよい。なお、本形態では、TFT1-0のゲート電極(走査線9-1)をノースードライン領域の間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート(スプリッタ)或いはトライアゲート以上でTFT1-0を構成すれば、チャネルとノースードライン領域の接合部でクリア電流を防止でき、オフ時の電流を低減することが出来る。これらのゲート電極のうち、とも1個をLCD構造成いはオフセット構造にすれば、さらにオフ電流を低減でき、安定したライチング基板を得ることが出来る。

【0025】【TFTの製造方法】このよう構成のTFT1-0を製造する方法を、図3ないし図8を参照して説明する。図3、図5、図6、図7および図8は、本形態のアクティブラチクス基板1-1の製造方法を示す工程断面図であり、いずれの図においても、図1のA-A'線における断面に相当する。但し、ここでは画素用TFT1-0の製造方法について説明することとし、保持層3-1などの製造方法の説明および図を省略する。図1は、レーザエッセル装置の概略構成図である。

【0026】ガラス基板上にTFTを製造するには、まず、ガラス基板を変形されることなく、ガラス基板上に多結晶性の半導体膜を形成する必要がある。このような制約下で多結晶性半導体膜を形成するには、図3(A)に示すように、超音波洗浄等により清浄化したガラス製等の基板3-0を準備した後、基板温度が約150°Cから約155°Cの温度条件下で、図3(B)に示すように、基板3-0の全面にシリコーン酸化膜からなる下地保護膜3-0-1をプラズマCVD法により形成する。このときの原料ガスとしては、たとえばモリブデンと炭素との混合ガスやTiO<sub>2</sub>と酸素、あるいはシリコンヒドロゲンガスを用いることができる。

【0027】次に、基板温度が約150°Cから約155°Cの温度条件下で基板3-0の全面にモリブデンシリコーン膜からなる半導体膜1-0-0をプラズマCVD法により形成する。このときの原料ガスとしては、たとえばジンケンモリブデンを用いることができる。(成膜工程)

【0028】次に、図3(C)に示すように、半導体膜1-0-0に対してレーザ光を照射してレーザホールを施すレーザホール工程

【0029】このレーザホール工程では、図4に示すようにレーザ光を照射領域がX-Y軸(走査方向)に長いライトバーをもつて、これには、レーザホール構造、照射面積が2.0×0.11、カラム(1ム)を半導体膜1-0-0に照射する。その結果、モリブデン半導体膜1-0-0は、一度溶解、沈抑固化過程を経て結晶化する。ここでには、各領域へのレーザ照射時間が非常に短時間であり、かつ、照射領域も基板全体に対して局所的であるため、基板全体が同時に高温に熱せられることは

ない。それ故、基板30として用いたガラス基板は、石英基板と比較して耐熱性の面で劣るが、熱による変形や割れ等が生しない。

【0030】図4に示すアーチ装置300では、アモルファスシリコン膜からなる半導体膜100が形成されたガラス製の基板30を載置するX-Yステージ310と、レーザ光源320と、二フレーザ光源320から出射されたレーザ光をフター310上に載置された基板30に向けてライズビーム110として出射、集光する光学系325とを有している。ここに示す例では、ライズビーム110の照射領域は約300mm<sup>2</sup>の寸法でX方向に延びており、基板30の全面にレーザアーチを行なうには、X-Yステージ310がY方向に移動していくことになる。

【0031】ここで、ライズビームの照射領域の幅寸法が500μmであれば、2.5μmピッチでライズビームをすらしていなければ半導体膜100の1箇所からみれば、レーザ光が200回、照射されたことになる。また、2.5μmピッチでライズビームをすらしていなければ、半導体膜100の1箇所からみればレーザ光が20回、照射されたことになり、6μmピッチでライズビームをすらしていければ、半導体膜100の1箇所からみればレーザ光が約80回、照射されたことになる。

【0032】次に、図5(A)に示すように、半導体膜100の表面にアモルファスシリコン技術を用いてレジストマスク551を形成する。

【0033】次に、レジストマスク551を介して半導体膜100をバーニングし、図5(B)に示すように、島状の半導体膜101(能動層)を形成する。

【0034】次に、図5(C)に示すように、350°C以下の温度条件下で、CVD法などにより半導体膜101aの表面に厚さ約1000オクストロームのシリコン酸化膜からなるゲート絶縁膜13を形成する(ゲート絶縁膜形成工程)。このときの厚さガスは、たとえばTEOSと酸素ガスとの混合ガスを用いることができる。ゲート絶縁膜13としてシリコン酸化膜を用いてもよい。

【0035】次に、図5(D)に示すように、ゲート電極などを形成するためのターナル膜910を绝缘基板30全面に形成した後、アモルファスグラフテ技術を用いてレジストマスク552を形成する。

【0036】次に、レジストマスク552を介してターナル膜910をバーニングし、図5(E)に示すように、走査線911(ゲート電極)を形成する。

【0037】次に、図6(A)に示すように、画素TFT部および駆動回路のTFT部の側には、走査線911(ゲート電極)をバーニングして、約0.1×10<sup>13</sup>cm<sup>2</sup>～約1.0×10<sup>13</sup>cm<sup>2</sup>のドーピング量で低濃度の不純物イオン(リジオナリ)の打ち込みを行い、画素TFT部の側には、ゲート電極に対して自己整合的

に低濃度のゲート領域161および低濃度のドレイン領域171を形成する。ここで、ゲート電極の真正に位置しているため、不純物イオンが導入されない部分は半導体膜のままでチャネル領域15となる。

【0038】次に、図6(B)に示すように、画素TFT部では、ゲート電極より幅の広いレジストマスク553を形成して高濃度の不純物イオン(リジオナリ)を約0.1×10<sup>13</sup>cm<sup>2</sup>～約1.0×10<sup>13</sup>cm<sup>2</sup>のドーピング量で打ち込み、高濃度のゲート領域162およびドレイン領域172を形成する。このようにして、図6(C)に示すように、低濃度ゲート領域161および高濃度ゲート領域162を備えるゲート領域16を形成し、低濃度ドレイン領域171および高濃度ドレイン領域172を備えるドレイ、領域17を形成する。

【0039】これらの不純物導入工程に代えて、低濃度の不純物の打ち込みを行なげてゲート電極より幅の広いレジストマスク553を形成した状態で高濃度の不純物(リジオナリ)を打ち込み、チャネル構造のチャネル領域およびドレイン領域を形成してもよい。また、ゲート電極の上に高濃度の不純物(リジオナリ)を打ち込んで、セルマスク構造のゲート領域およびドレイン領域を形成してもよいことは勿論である。

【0040】また、図示を省略するが、周辺駆動回路のPチャネルTFT部を形成するためには、前記画素部およびNチャネルTFT部をバーニング保護して、ゲート電極をバーニングして、約0.1×10<sup>13</sup>cm<sup>2</sup>～約1.0×10<sup>13</sup>cm<sup>2</sup>のトータル量でホロジオナリを打ち込むことにより、自己整合的にPチャネルを形成し、ドレイン領域を形成する。なお、NチャネルTFT部の形成時と同様に、ゲート電極をバーニングして、約0.1×10<sup>13</sup>cm<sup>2</sup>～約1.0×10<sup>13</sup>cm<sup>2</sup>のトータル量で低濃度の不純物(ホロジオナリ)を導入して、ホリゾンタル膜に低濃度領域を形成した後、ゲート電極より幅の広いゲートを形成して高濃度の不純物(ホロジオナリ)を約0.1×10<sup>13</sup>cm<sup>2</sup>～約1.0×10<sup>13</sup>cm<sup>2</sup>のトータル量で打ち込み、LDD構造のゲート領域およびドレイン領域を形成してもよい。また、低濃度の不純物の打ち込みを行なげて、ゲート電極より幅の広いゲートを形成した状態で高濃度の不純物(リジオナリ)を打ち込み、チャネル構造のゲート領域およびドレイ、領域を形成してもよい。これで、けん引打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵が可能となる。

【0041】次に、図6(D)に示すように、走査線911(表面側)CVD法などにより酸化シリコン膜やストラップ膜(ボロシリケートやシルコンを含まないシリケートガラス膜など)からなる第1の層間絶縁膜18を3000オクストローム～15000オクストローム程度の膜厚で形成した後、アモルファスグラフテ技術を用いて、第1の層間絶縁膜18にコントラクトホールや切断用孔を形成する。

ためのレジストマスク554を形成する。

【0042】次に、レジストマスク554を介して第1の層間絶縁膜18にエッチングを行い、図6(E)に示すように、第1の層間絶縁膜18のうち、ノース領域16.2およびドライブ領域17.2に対応する部分にコントラクトホールをそれぞれ形成する。

【0043】次に、図7(A)に示すように、第1の層間絶縁膜18の表面側に、ノース電極などを構成するためのアルミニウム膜910をアーチ法などで形成した後、ガラス上リバクライア法を用いて、レジストマスク555を形成する。

【0044】次に、レジストマスク555を介してアルミニウム膜910にエッチングを行い、図7(B)に示すように、ノース領域16.2にコントラクトホールを介して電気的に接続するアルミニウム膜からなるノース電極(チータ線910の一部)と、ドライブ領域17.2にコントラクトホールを介して電気的に接続するドライブ電極14を形成する。

【0045】次に、図7(C)に示すように、ノース電極910およびドライブ電極14の表面側に、トルコトリセウム(チセウム)またはこれを含む組成物の導布膜を焼成した層間絶縁膜19.1を形成する。さらに、この層間絶縁膜19.1の表面に、TEOSを用いたCVD法によりたとえば400°C程度の温度条件下で厚さが約50.0ナノメートル～約150.0ナノメートルのシリコン酸化膜がからなる上層側層間絶縁膜19.2を形成する。これらの層間絶縁膜19.1、19.2によって、第2の層間絶縁膜19.3が形成される。ここで、トルコトリセウム(チセウム)とは無機ナトリウムセイザンの一種であり、大気中で焼成することによってシリコン酸化膜に転化する導布型コーティング材料である。たとえば、東燃(株)製のシリコンチセウムは、(1-SiH2-NH)2を単位とする無機ポリマーであり、キレンなどの有機溶剤に可溶である。逆に、この無機ポリマーの有機溶媒溶液(たとえば、2.0wt%シリアル溶液)を塗布液としてスピンドル法(たとえば、2000rpm、20秒間)で塗布した後、450°Cの温度で大気中で焼成すると、水分や酸素と反応し、CVD法で成膜したシリコン酸化膜と同等以上の緻密なアルキルシリコン酸化膜を得ることができる。使って、この方法で成膜した層間絶縁膜19.1(シリコン酸化膜)はCVD法で形成した層間絶縁膜と同様の信頼性を有しているとともに、ドライブ電極14に起因する開孔などを平坦化してやれる。

【0046】次に、図7(C)に示すように、ガラス上リバクライア法を用いて、絶縁膜18～19にコントラクトホールを形成するためのレジストマスク556を形成する。

【0047】次に、レジストマスク556を介して第2の層間絶縁膜18にエッチングを行い、図7(D)に示すように、ドライブ電極14に対応する部分にコントラ

クトホールを形成する。

【0048】次に、図8(A)に示すように、第2の層間絶縁膜19の表面側に、厚さが約40.0ナノメートル～約200.0ナノメートルのITO膜80をスクラッチ法などで形成した後、フォトリソングリップ技術を用いて、ITO膜80をリターニングするためのレジストマスク557を形成する。

【0049】次に、レジストマスク557を介してITO膜80にエッチングを行って、図8(B)に示すように、ドライブ電極14に電気的に接続する画素電極8を形成する。

【0050】次に、図8(C)に示すように、画素電極8の表面側にシリコン酸化膜や有機膜からなる表面保護膜45を形成する。

【0051】次に、図8(D)に示すように、表面保護膜45の表面にホリミト膜(配向膜46)を形成する。それには、フタルセニカルブチルメチルゼオリドなどの溶媒、25～100重量%のポリイミドやポリアミド酸を溶解させたホリミド・ワニスをフレキシブル印刷した後、加熱・硬化(焼成)する。そして、ポリイミト膜を形成した基板をレーザー系機器からなるバフ炉で一定時間に曝け、ポリイミト分子を表面近傍で一定方向に配列させる。その結果、後で充填した液晶分子とポリイミド分子との相互作用により液晶分子が一定方向に配列する。

【0052】[本発明の概要] このようなTFTの製造方法において、図3(B)に示す成膜工程を行った後、図3(C)に示すレーザアニール工程を行うまでの間に非晶質の半導体膜10.0の表面に厚い酸化膜が形成されると、または厚いゲート絶縁膜13を形成しない限り、TFTのデーターランプが低下する。

【0053】そこで、本発明では、以下に示す図9および図10に示す知見に基づいて、レーザアニール工程を行う時点でのアモルファスの半導体膜10.0の表面状態を適正化し、レーザアニール後の多結晶性の半導体膜の表面の凹凸の大きさとの関係を示すグラフである。この図において、横軸は、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さ(単位ナノメートル)であり、縦軸は、レーザアニール後の多結晶性の半導体膜(1.0nm角内における最高低差)。本範囲記載では、単位印字は省略するが、ナノメートルである。図9には、レーザアニール時のエネルギー密度条件を変えて行った測定結果のうち、グラフの傾き、最大の凹と最小の凸の差との条件で得られた結果を示してある。この図から明らかのように、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さが50～100ナノメートル以上範囲では、レーザアニール

アニール後の凹凸の大きさが最も小さくなる。この傾向は、図10に示すように、レーザアニール後の多結晶性の半導体膜の表面の凹凸の大きさとの関係を示すグラフである。この図において、横軸は、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さ(単位ナノメートル)であり、縦軸は、レーザアニール後の多結晶性の半導体膜(1.0nm角内における最高低差)。本範囲記載では、単位印字は省略するが、ナノメートルである。図10には、レーザアニール時のエネルギー密度条件を変えて行った測定結果のうち、グラフの傾き、最大の凹と最小の凸の差との条件で得られた結果を示してある。この図から明らかのように、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さが

ル工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さが薄いほど、レーザアニール後の多結晶性の半導体膜の表面において凹凸が小さく抑えられることがある。逆にいえば、酸化膜の厚さが1.0オングストローム～8.0オングストロームの範囲において、酸化膜の厚さが1.0オングストローム厚になると、半導体膜表面の凹凸は1.0オングストローム～1.5オングストローム程度増大する。

【0055】図10は、多結晶性の半導体膜の表面の凹凸と、ゲート耐圧との関係を示すグラフである。この図において、横軸は、多結晶性の半導体膜表面の1.0 nm角内の最大高差（本願明細書では、単に凹凸といふ。）/単位オングストローム）であり、縦軸はゲートリード電流が規定値を示すときのゲート印加電圧の変化量（高差～0の時の値を取る1.00%とする）であり、多結晶性の半導体膜表面の凹凸が0のときのゲート耐圧を基準にしたときのゲート耐圧の低下率に相当する。ここで、ゲート絶縁膜は1.000オングストロームで設定してあるので、この図から明らかなるように、多結晶性の半導体膜の表面の凹凸が2.00オングストローム、すなわち、ゲート絶縁膜の厚みが1.5, 1.4等であれば、ゲート耐圧の低下を1.0%以内に抑えることができる。

【0056】ここで、多結晶性の半導体膜の表面の凹凸を2.00オングストローム以下に抑えるには、図10の結果からすれば、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さを約2.0オングストローム以下、すなわち、ゲート絶縁膜の厚みが1.5, 1.4等以下とすればよい。

【0057】そこで、本形態では、以下のようにして、レーザアニール工程を行った時点で非晶質の半導体膜1.00の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/10以下に抑制し、ついで、アニール工程でのレーザ光の照射条件を適正化することにより、非晶質の半導体膜1.00を適正に多結晶化するとともに、レーザアニール工程を行った後の多結晶性の半導体膜1.00の表面の凹凸の大きさをゲート絶縁膜の厚みの1/5以下とすることにより、ゲート耐圧の低下を1.0%以内に抑める。なお、ここでいう「レーザアニール工程を行った時点で非晶質の半導体膜の表面に形成されている酸化膜」上は、基板の搬送中成膜は、洗浄後の乾燥時等に大気中で自然に成長する自己酸化膜であり、清浄なゲート導面を得るために酸素ガス等で大気的に成長させたり、あるいはCVD法で形成した酸化膜も含む意味である。

【0058】「実施形態1」本実施行は、以下の工程を行なう。図3を参照して説明する。多結晶性の半導体膜の製造工程を以下のように改変する。

【0059】まず、図3(A)に示すように、ガラス製等の基板30を準備した後、温度が約150°Cから約450°Cの温度条件下で(図3(B))に示すように、基板

30の全面にシリコニア化膜からなる下地保護膜30-1をアセチルCVD法により形成する。

【0060】次に、基板温度が約150°Cから約450°Cの温度条件下で基板30の全面に膜厚が3.00オングストローム～1.500オングストローム、たとえば1.000オングストロームのアセチルアセチルシリコニア化膜からなる半導体膜1.00をアセチルCVDあるいは他のCVD法により形成する。

【0061】次に、成膜、搬送中に付着したコミを除去するため純水とナイロンフラッシュクリップ洗浄を行ったあと、NH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=1:2:250の溶液に5分間浸漬し、純水で10分間リランスを行う。

【0062】次に、HF(ヒドロゲンフッ化水素酸):H<sub>2</sub>O=1:5のエチアルコール液で3.0秒間～1分間、エチアルコール洗浄を行い、非晶質の半導体膜1.00の表面に形成されているシリコニア化膜を完全に除去する(エチアルコール工程)。

【0063】かかる後に、超音波振動を加えた純水槽で10分間マッピングを行う。最後にスピンドル乾燥で水を切る。

【0064】その後、速やかに、たとえば1時間以内に、レーザアニール装置で、図3(C)に示すように、3.08 nmの波長レーザー光を、例えは、4.00 mJ/cm<sup>2</sup>のエネルギー密度で照射する。ビーム形状は、適当な光路系で2.00 mm×4.00 mmとし、照射方向に所定のビームを打らしながら基板全面に照射を行う(レーザアニール工程)。ここで用いたレーザアニールは、真空中あるいは活性ガス中といった非酸化雰囲気中で行う。但し、空気中の原因、例えは塵埃)やアルコールによる汚染により、HF:H<sub>2</sub>O=1:5のエチアルコール液によるエチアルコール液後、レーザアニール装置に入ることで経過時間が2時間となつた場合には再度、HF:H<sub>2</sub>O=1:5のエチアルコール液で3.0秒間～1分間のエチアルコールマッピングを行う。

【0065】すなわち、エチアルコール工程を行った後、レーザアニール工程を行なう間に前記半導体膜が酸素含有雰囲気中に晒される暴露時間をT時間とし、前記ゲート絶縁膜の厚さを1.0オングストロームとしたとき、前記暴露時間Tと前記ゲート絶縁膜の厚さは、以下の式

$$T = t \times 5.0$$

の関係を維持する。すなわち、エチアルコール工程により酸化膜を除去した後の半導体膜表面において、シリコニア化膜の成長速度は、大気中では～5.0オングストローム/秒で、では通常最大で1.0オングストローム/秒時間程度であるので、ゲート絶縁膜の厚さを1.0オングストロームとするとき、表面酸化膜の許容厚さは(1/5)(1.0オングストローム)以下であるので、エチアルコール工程で酸化膜を除去した後の大気中での暴露時間は、(1/5)(1.0オングストローム/秒時間)が限界である。たとえば、ゲート絶縁膜の膜厚が1.000オングストロームで

あれば、大気中の暴露を許容できる時間は2時間である。従って、エッチング工程の後、1時間以内にレーザアニール工程を行うことが好ましい。

【0066】ここで、図1-1には、レーザアニール工程でのレーザ光の照射条件（半導体膜表面の1箇所からみたときのレーザ光の照射回数）と、非晶質の半導体膜から多結晶性の半導体膜に相転移させた後の半導体表面の凹凸の大きさとの関係を示してある。

【0067】この図1-1には、レーザアニール工程を行う時点で半導体膜100表面上に酸化膜が存在しない場合におけるレーザ光の照射条件（半導体膜表面の1箇所からみたときのレーザ光の照射回数）と、多結晶性の半導体膜100に相転移させた後の半導体膜100表面上の凹凸の大きさとの関係が実線1-1を示し、レーザアニール工程を行う時点で半導体膜100表面上に厚い酸化膜（ゲート絶縁膜13の厚さの1.5倍以上の厚さの酸化膜）が存在している場合におけるレーザ光の照射条件（半導体膜表面の1箇所からみたときのレーザ光の照射回数）と、多結晶性の半導体膜に相転移させた後の半導体表面の凹凸の大きさとの関係を実線1-2で示してある。

【0068】この図から明らかなるように、レーザアニール工程を行う時点で半導体膜100表面上に厚い酸化膜（ゲート絶縁膜の厚さの1.5倍以上の厚さの酸化膜）が存在している場合には、レーザ光の照射回数を増やすほど、多結晶に相転移した後の半導体膜100表面上の凹凸が大きくなっていく傾向にある。

【0069】これに対して、レーザアニール工程を行う時点で半導体膜100表面上に酸化膜が存在しない場合には、レーザ光の照射回数を増えるほど、多結晶に相転移した後の半導体膜100表面上の凹凸が小さくなり、レーザ光の照射回数が約20回位とき、多結晶に相転移した後の半導体膜100表面上の凹凸が2.0オーバルストローク以下になる。但しレーザ光の照射回数が約60回～約80回を超えると、それ以上、照射回数を増やしても、凹凸はそれ以上、小さくなるず、略一定となる。

【0070】従って、本形態では、アニール工程では、半導体膜100表面上に凹凸2.0回以上、レーザ光を照射する。すなわち、ライコームを2.5μm以下セッティングで用いていて、さらに、半導体膜100表面上に1箇所に1.5～3.0回以上、レーザ光を照射すれば、多結晶に相転移した後の半導体膜表面の凹凸を確実に2.0オーバルストローク以下に抑えることができる。すなわち、ライコームを1.5μm以下セッティングで用いていて、

【0071】また、図1-2には、レーザアニール工程を行う時点で半導体膜100表面上に酸化膜が存在しない場合における、アニール工程でのレーザ光の照射条件（半導体膜表面の1箇所からみたときのレーザ光の照射回数）と、非晶質の半導体膜100を相転移させた多結晶性の半導体膜100の結晶度合いとの関係を示してある。ここで、非晶質の半導体膜100を相転移させた多結晶性の半導体膜100の結晶度合いは、この半導体膜100から形成したTFTのオシ電流の大きさとして計測でき、オシ電流が大きいほど半導体膜100の結晶度合いが高くて好ましいといえる。

【0072】図1-2に示すように、レーザ光の照射条件（半導体膜表面の1箇所からみたときのレーザ光の照射回数）を増やしていくと、TFTのオシ電流が増加していくが、約110回～約120回をピークにして、その以上、レーザ光の照射回数を増やしていくと、TFTのオシ電流が低下していく傾向にある。しかも、レーザ光の照射回数が200回を超えると、レーザアニールを行わない場合よりも、オシ電流が低下してしまう。従って、本形態では、半導体膜100表面上の1箇所からみたときのレーザ光の照射回数についてには、約200回以下にとどめる。すなわち、ライコームを2.5μm以下のセッティングで用いていて、

【0073】その後に、図5-(A)、-(B)に示すパターニング工程を行った後、図5-(C)に示すゲート絶縁膜形成工程において、アセチルCVD法により膜厚が1000オーバルストロークのゲート絶縁膜13を形成する（ゲート絶縁膜形成工程）。

【0074】このように、本形態のTFTの製造方法では、アニール工程を行う前に半導体膜表面の酸化膜を除去する工程を行うことにより、非晶質の半導体膜の表面に存在している酸化膜の厚さをゲート絶縁膜の厚さの1/5以下とし、かつ、アニール工程では、半導体膜表面の1箇所に約20回～約200回、好ましくは約80回～約200回、レーザ光を照射するように条件設定している。従って、レーザアニールによって、非晶質の半導体膜を多結晶化させたときには、得られた多結晶性の半導体膜表面には2.0オーバルストロークを超えるような大きな凹凸が形成されないので、ゲート絶縁膜を1000オーバルストロークにまで薄くしてTFTのしきい値電圧を低下させてもゲート耐圧が低下しない。それ故、本形態によれば、アセチルCVD法で電圧が低くかつ、信頼性が高いTFTを製造することができる。過度にアニールしないように、照射回数を200回以下にとどめているので、オシ電流の大きさをTFTを製造できる。

【0075】実施形態2 本形態では、基板的な部分では、実施形態1と同様であるので、その説明を省略するが、エッチング工程からレーザアニール工程を短時間でうちに行うことによって、図1-1に示す半導体膜処理装置を用いて

【0076】図1-3は、本形態の半導体膜処理装置600の概略構成図である。図1-3に示すように、本形態の半導体膜処理装置600には、非晶質の半導体膜を形成した基板の搬入、および非晶質の半導体膜に対するレーザアニールによって半導体膜を多結晶化した基板の搬出

を行うためのカセッタ方式のローダ・アンローダー部6-10と、基板上の非晶質の半導体膜表面に対してアーバ化水素を含むエッチング液(HF:H<sub>2</sub>O=1:50)のエッチング液を用いてエッチングを行ためのシャワー方式のエッチング・エッチャング装置6-20と、このローダ・アンローダー部6-10を行なった後の基板上の非晶質の半導体膜表面に水(洗浄液)でシャワー洗浄を施す洗浄装置6-30と、基板上の非晶質の半導体膜表面に付着した水を乾燥、除去する乾燥装置6-40と、乾燥を終えた基板上の非晶質の半導体膜に対してレーザアーナーを行なうレーザアーナー装置6-50とか構成されている。このレーザアーナー装置6-50は、真空ローダ・ローダ6-51、レーザアーナー用チャック6-52、レーザ光学系3-25、レーザ光源3-20などで構成されている。また、半導体膜処理装置6-00には、ローダ・アンローダー部6-10に搬入された基板をウエーファー・チップ装置6-20、洗浄装置6-30、乾燥装置6-40、およびレーザアーナー装置6-50に搬入した後、ローダ・アンローダー部6-10に展示搬送機構6-60が構成されている。ここで、搬送機構6-60は、ローダ・アンローダー部6-10に搬入された基板をウエーファー・チップ装置6-20に搬入する第1の搬送系6-61と、ウエーファー・チップ装置6-20から洗浄装置6-30に基板を搬送するローダ・ローダ方式の第2の搬送系6-62と、洗浄装置6-30から乾燥装置6-40に基板を搬送する第3の搬送系6-63とか構成されている。なお、乾燥装置6-40からレーザアーナー装置6-50への基板の搬送、およびレーザアーナー装置6-50からローダ・アンローダー部6-10への基板の搬送は第1の搬送系6-61が行なう。

【0078】次に、搬送機構660より第3の噴送系663は、基板をアセトナ式の乾燥装置640に入れ、ここで基板は高速に転されて、基板に残りが残りにより除去される。次に、搬送機構660より第1の噴送系661は、基板を乾燥装置640より真空ポンプ651に入れ、ここで真空引きされた後、基板は、レーザーアニール装置650のチャップバー652内に搬入される。ここで、レーザーアニール用ハンドルバー652内

は、真空あるいは活性ガスを用いた非酸化性の雰囲気で設定されており、この非酸化性の雰囲気内で基板上の非晶質の半導体膜はレーザアニールを受ける。その結果、基板上の非晶質の半導体膜は多結晶性の半導体膜となる。しかし後に、搬送機構660の第1の搬送系661は、基板をレーザアニール用のチャンバー652内から真空ロードローラ651に移す。そして、搬送機構660の第1の搬送系661は、基板をローダ・アンローダー部610のカセットに戻す。以下、すべての基板に対する同様な処理が行われる。

10 し同様な処理が行われる。  
【0079】このように、本形態の半導体膜処理装置600では、エッチング装置620とレーザアーナー尔装置630とも、一体になつてゐるので、非晶質の半導体膜に対するエッチング後、レーザアーナー尔工程まで基板を短時間で搬送できる。従つて、エッチング後の非晶質の半導体膜表面に厚い酸化膜が形成されない。それ故、レーザアーナー尔工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/5以下に制御できるので、レーザアーナー尔工程を行つた後の多結晶性の半導体膜の表面の凹凸の大きさをゲート絶縁膜の厚さの1/5以下とし、ゲート耐圧の低下を10%以内に抑めることができる。

【0080】〔実施の形態3〕本形態でも、基本的なプロセスは、実施の形態2と同様であるので、その詳細な説明を省略するが、エッチング工程からレーザエッル工程を経て間もなくからを行うことを目的に、図1-1に示す半導体膜処理装置を用いる。また、この半導体膜処理装置はエッチング工程としてトライエッチャを行いうるに構成されている。

30 【0081】図14において、半導体膜処理装置700には、非晶質の半導体膜が形成された基板の搬入、および非晶質の半導体膜に対するレーザアーナーによって半導体膜を多結晶化した基板の搬出を行うためのカセット式ロータ・アーナーダー部710と、基板上に前記非晶質の半導体膜に対してアーナーを含むエッチングガスを用いてエッチングを行ったためのカセット、RF供給部720を備えるトライエッチング装置720と、このトライエッチング装置720でドライエッチングを行った後の基板上の非晶質の半導体膜に対してレーザアーナーを行なうレーザアーナー部750とが構成されている。また半導体膜処理装置700には、ロータ・アーナーダー部710に搬入された基板をドライエッチング装置720、およびレーザアーナー部750に搬送した後、ロータ・アーナーダー部710に再び搬送機構740にて基板の搬送経路を重複化せずに搬送するトライエッチング装置720とが構成されている。このように、この半導体膜処理装置700では、基板が真空中で搬送されるため、レーザアーナー部750は、レーザアーナー用チャーパー752、レーザ光学系325、レーザ光源320などを全て構成され、真空中でコードレスで配置されていない。

【0082】この半導体膜処理装置700では、非晶質の半導体膜の形成、フラクタ洗浄、超音波振動を加えた純水シャワーによる1分程度のリント、およびスピンドル乾燥を行った基板がカセットに入れた状態でローダ・アンローダー部710に搬入されると、搬送機構760は、カセットより基板を取り出してドライオーフィンガ装置720に搬入する。このドライオーフィンガ装置720では、CHF3ガスで30秒間、エーテンガスが行われ、基板に形成されている非晶質の半導体膜表面から酸化膜が除去される。次に、搬送機構760は、基板をレーザアニール装置750のチャック内に搬入する。ここで、レーザアニール用のチャック810は、真空中あるいは不活性ガスを用いた非酸化性ガス圧に設定されており、この非酸化性ガス圧内で基板上の非晶質の半導体膜はレーザアニールを受ける。その結果、基板上の非晶質の半導体膜は多結晶性の半導体膜となる。しかる後に、搬送機構760は、基板をレーザアニール用のチャンバー内から取り出してローダ・アンローダー部710のカセット上に戻す。以下、すべての基板に対して同様な処理が行われる。この間、ハフランク890内は真空中に保たれている。

【0083】このような半導体膜処理装置700によれば、エーテンガス装置720とレーザアニール装置750とが一体になっており、かつ、これらの装置間で基板を搬送する際に基板表面の非晶質の半導体膜が酸化性雰囲気にはさまれないことで、トランジンシング後の非晶質の半導体膜表面に酸化膜が形成されない。それ故、レーザアニール工程を行った時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚さの1/5.0以下に制御できるので、レーザアニール工程を行った後の多結晶性の半導体膜の表面に凹凸の大きさをゲート絶縁膜の厚みの1/5.0以下とし、ゲート耐圧の低下を1.0%以内に収めることができるのである。

【0084】【実施の形態4】本形態では、図3(B)に示すように、基板300の表面に非晶質の半導体膜を形成した後、図3(C)に示すように、アニール工程を行なまでの間、非晶質の半導体膜の表面を非酸化性雰囲気中に保持し、酸化性雰囲気には一切、晒さない。従って、レーザアニール工程を行なった時点で非晶質の半導体膜の表面に酸化膜が形成されないことで、レーザアニール工程を行なった後の多結晶性の半導体膜の表面に凹凸がほとんど形成されない。それ故、この半導体膜を能動層として用いたTFTでは、ゲート耐圧の低下が発生しない。

【0085】このような方法を実施するに際しては、本形態では、図15に示す半導体膜処理装置800を用いる。この半導体膜処理装置800では、基板の搬入および基板の搬出を行うためには、ローダ・アンローダー部810と、基板上に非晶質の半導体膜を形成するためのガス・RF供給部870を備える成膜装置870(CVD成膜装置)と、この成膜装置870で形成した基板上の非晶

質の半導体膜に対してレーザアニールを行うレーザアニール装置850とが構成されている。また、半導体膜処理装置800では、ローダ・アンローダー部810に搬入された基板を成膜装置870およびレーザアニール装置850に搬送した後、ローダ・アンローダー部810に與す搬送機構860と、基板の搬送経路を非酸化性雰囲気で保持するハフランク890とが構成されている。

【0086】このように構成した半導体膜処理装置800では、基板がカセットに入れた状態でローダ・アンローダー部810に搬入されると、搬送機構860は、カセットより基板を取り出して枚葉式の成膜装置870に搬入する。この成膜装置870では、基板の全面に1000オングストロームのアモルファスシリコン膜からなる半導体膜をアモルファスCVDあるいは低圧CVD法により形成する。次に、搬送機構860は、基板をレーザアニール装置850のチャック内に搬入する。ここで、レーザアニール用のチャック810は、真空中あるいは不活性ガスを用いた非酸化性ガス圧に設定されており、この非酸化性ガス圧内で基板上の非晶質の半導体膜をレーザアニールを受ける。その結果、基板上の非晶質の半導体膜は多結晶性の半導体膜となる。しかる後に、搬送機構860は、基板をレーザアニール用のチャック内から取り出してローダ・アンローダー部810のカセット上に戻す。以下、すべての基板に対して同様な処理が行われる。この間、ハフランク890内は真空中に保たれている。

【0087】このように本形態の半導体膜処理装置800では、成膜装置870とレーザアニール装置850とが一体になっており、かつ、これらの装置間で基板を搬送する際に真空中で基板が扱われる。従って、基板表面の非晶質の半導体膜は酸化性雰囲気にはさまれない。従って、非晶質の半導体膜表面に酸化膜が形成されない。従って、レーザアニール工程を行なった後の多結晶性の半導体膜の表面に凹凸がほとんど形成されない。それ故、この半導体膜を能動層として用いたTFTでは、ゲート耐圧の低下が発生しない。

【0088】「液晶パネルの構成」によりような方法で形成されたTFTを使用例として、このTFTを画面表示装置スイッチング用および駆動用路用に用いたアモルファス基板に形成した例を説明する。

【0089】図16および図17はそれぞれ、本形態に用いる液晶表示装置に用いた電気光学装置を対向基板の側から見た平面図(および図16/17)と、縦で切断したときの電気光学装置の断面図である。

【0090】これらの図において、液晶表示装置に用いる電気光学装置1は、画面電極810、トリクス状に形成されたアクティオマトリクス基板11と、対向電極31が形成された対向基板12と。これらが基板間に封入、

挿持されている液晶3-9とから概略構成されている。アクティオマトリクス基板1-1と対向基板1-2とは、対向基板1-2の外周縁に沿って形成されたギャップ材含有的シール材5-2によって所定の間隔を介して貼り合わされている。また、アクティオマトリクス基板1-1と対向基板1-2との間には、シール材5-2によって液晶封入領域4-0内に液晶3-9が封入されている。この液晶封入領域4-0内において、アクティオマトリクス基板1-1と対向基板1-2との間には、シール材5-2を介してせることもある。但し、電気光学装置1を投射型表示装置の電子ヒルズとして用いる場合には、このシール材5-2の像が投射されることを防止するためには、シール材5-2の配置を省略するのが一般的である。シール材5-2としては、エポキシ樹脂や各種の紫外線硬化樹脂などを用いることができる。また、シール材5-2に配合されるギャップ材としては、約2μm～約10μmの無機あるいは有機質のアライド粘土は球などが用いられる。

【0-0-9-1】対向基板1-2はアクティオマトリクス基板1-1よりも小さく、アクティオマトリクス基板1-1の周辺部分は、対向基板1-2の外周縁よりは突出した状態に貼り合わされる。従って、アクティオマトリクス基板1-1の駆動回路（走査線駆動回路7-0やデータ線駆動回路6-0）や入出力端子4-5は対向基板1-2から露出した状態にある。ここで、シール材5-2は部分的に途切れているので、この途切れ部分によって、液晶注入口2-1が構成されている。このため、対向基板1-2とアクティオマトリクス基板1-1とを貼り合せた後、シール材5-2の内側領域を減圧状態にすれば、液晶注入口2-1から液晶3-9を減圧注入でき、液晶3-9を封入した後、液晶注入口2-4-1を封止剤2-4-2で封止すればよい。なお、対向基板1-2には、シール材5-2の内側において画面表示領域7を見切りするための遮光膜5-1も形成されている。また、対向基板1-2のヨーク部のいずれにも、アクティオマトリクス基板3-0と対向基板1-2との間に電気的導通をとるための上下導通材5-6が形成されている。

【0-0-9-2】ここで、走査線に供給される走査信号の遅延が問題にならないならば、走査線駆動回路7-0は片側だけでも良いことは言ひまでもない。また、データ線駆動回路6-0を画面表示領域7-0の邊に沿って配列しても良い。例えは奇数列のデータ線は画面表示領域7-0の上りの邊に沿って配設されたデータ線駆動回路6-0から画像信号を供給し、偶数列のデータ線は画面表示領域7-0の反対側の邊に沿って配設されたデータ線駆動回路6-0から画像信号を供給するようにしても良い。このようにデータ線を偏角状に駆動するようすれば、データ線駆動回路6-0の形成面積を拡張することが出来たため、複雑な回路を構成することが可能となる。また、アクティオマトリクス基板1-1において、データ線駆動回路6-0と対向する邊の側では、遮光膜5-1の下などを利用して、アリチ

ヤージ回路や検査回路が設けられることがある。なお、データ線駆動回路6-0および走査線駆動回路7-0をアクティオマトリクス基板1-1の上に形成する代わりに、たとえば、駆動用ヒートが実装されたPAB（チップ・オーバーマイクロ、ボンディング）基板をアクティオマトリクス基板1-1の周辺部に形成された端子群に対して異方性導電膜を介して電気的および機械的に接続するようにしてもよい。また、対向基板1-2およびアクティオマトリクス基板1-1の光入射側の面あるいは光出射側には、使用する液晶3-9の種類、すなわち、T.N（トノイド）やP.A（ポリアミド）モード、S.T.N（スルーティン）モード等々の動作モードや、ノーマルモード、モードノーマルブローバモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などと併用の向きに配置される。

【0-0-9-3】本形態の電気光学装置1を透過型で構成した場合には、たとえば、投射型液晶表示装置（液晶プロジェクタ）において使用される。この場合、3枚の電気光学装置1がRGB用のカートリッジとして各自使用され、各電気光学装置1に各々には、RGB色分解用のカラーカセットモードを介して分解された各色の光が投射光として各々入射されることになる。従って、本形態の電気光学装置1にはカートリッジが形成されている。但し、対向基板1-2において各画素電極間に對向する領域にRGBカラーカセットをその保護膜とともに形成することにより、投射型液晶表示装置を構成することができる。さるにまた、対向基板1-2に何層もの墨抵抗の異なる色性層を積層することにより、その干渉作用を利用して、良のB色をより鮮明なオレンジ色やレッド色を形成してもよい。このオレンジ色やレッド色付きの対向基板にすれば、より明るいカートリッジ表示を行うことができる。

【0-0-9-4】（アクティオマトリクス基板の構成）図1-8は、アクティオマトリクス基板1-1の構成を模式的に示すがね、図1-8である。図1-8によれば、液晶表示装置用のアクティオマトリクス基板1-1上には、データ線9-0および走査線9-1に接続する側面スイッチ用のTFT1-0と、このTFT1-0を通してデータ線9-0から画像信号が供給される液晶セル9-4が存在する。データ線9-0に対しては、シリコンゲート9-1、シリコンアシスト9-2、シリコンゲート9-3、アセチルスチロールを備えたデータ線駆動回路6-0が形成されている。走査線9-1に対してシリコンゲート9-3およびシリコンアシスト9-2を備える走査線駆動回路7-0が形成されている。

【0-0-9-5】また、画面領域7-0は、容量膜9-2と共に間に保持容量4-0（容量膜9-2）が形成され、この保持容量4-0は、液晶セル9-4での電荷の保持特性を高める機能を有している。なお、保持容量4-0は前段の走査線9-1との間に形成されることもある。

【0096】(対向基板の構成) 図1-9は、電気光学装置1の端部の断面図である。図1-9において、対向基板1-2は、画素電極8の各々に向けて盛り上がった複数のマイクロレンズ4-3-0(小さな凸レンズ)がアクティベータリック基板3-0の画素電極8に対応してマトリックス状に形成されたリニアリザイ基板1-3と、このリニアリザイ基板1-3に対してマイクロレンズ4-3-0を覆うように接着剤4-8により貼り合わされた透明な薄板ガラス4-9とを有している。この薄板ガラス4-9の表面には対向電極3-1が形成され、これを対向電極3-1の表面のうち、マイクロレンズ4-3-0の境界領域に対する領域には遮光膜6が形成されている。薄板ガラス4-9の表面において、対向電極3-1および遮光膜6の表面には、シリコン酸化膜または有機膜からなる表面保護膜4-1が形成され、この表面保護膜4-1の表面にガリバムド膜からなる配向膜4-7が形成されている。この配向膜4-7は、アクティベータリック基板1-1の配向膜4-6と同様、シリコン系繊維からなる、貼り布て一定方向に擦るラビング処理が施された膜である。

【0097】このような構成の対向基板1-2を用いた電気光学装置1では、対向基板1-2の側から入射した光のうち、TFT1-0のチャネル形成領域などに照射される光は遮光膜6によって遮られるうち、斜めに入射した光などは各マイクロレンズ4-3-0によって各画素電極8に向けて集光される。従って、対向基板1-2の側に形成した遮光膜6の幅が狭くても、あるいは対向基板1-2の側に遮光膜6がなくとも、マイクロレンズ4-3-0によってTFT1-0のチャネル形成領域に光が入射することを防止することができる。それ故、TFT1-0のドライブ特性の劣化を防止することができるので、信頼性を向上させることができ。また、対向基板1-2の側に形成した遮光膜6の幅を狭くでき、あるいは対向基板1-2の側から遮光膜6を省略してしまって、表示に寄与する光量が遮光膜6によって減少するのを防止することができる。によって、液晶表示装置においてコンバグスと明瞭さを大幅に向上させることができる。

【0098】このような構成の対向基板1-2においてマイクロレンズ4-3-0の形成領域の周辺領域1-2-0、あるいはアクティベータリック基板1-1の外周部より2箇所側領域にギャップ付材含有的リール材5-2が重ねられ、このリール材5-2によって、対向基板1-2とアクティベータリック基板1-1が貼り合わされている。

【0099】電気光学装置が電子機器への適用(次に、電気光学装置1を備えた電子機器の一例を「図2」の構成)を図2-1を参照して説明する。

【0100】まず、図2-0には、上記の各形態に係る電気光学装置1と同様に構成された電気光学装置を備えた電子機器の構成をプロトタイプ図で示してある。

【0101】図2-0において、電子機器は、表示情報出力源1-0-0-0、表示情報処理回路1-0-0-2、駆動回路1-

0-4、電気光学装置1-0-0-6、クロック発生回路1-0-8、および電源回路1-0-1-0を含んで構成される。表示情報出力源1-0-0-0は、ROM(Read Only Memory)、RAM(Random Access Memory)、光ディスクなどのメモリ、テレビ信号の画像信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1-0-0-8からのクロックに基いて、所定のマイクロの画像信号を処理して表示情報処理回路1-0-0-2に出力する。この表示情報出力回路1-0-0-2は、たとえば增幅・極性反転回路、相展開回路、ローテーション回路、カーマ補正回路、あるいはクロントラブル等の周知の各種処理回路を含んで構成され、クロック信号に基いて入りされた表示情報からデジタル信号を順次生成し、クロック信号としKとともに駆動回路1-0-0-4に出力する。駆動回路1-0-0-4は、電気光学装置1-0-0-6を駆動する。電源回路1-0-1-0は、上述の各回路に所定の電源を供給する。なお、前記した電気光学装置1のままで、電気光学装置1-0-0-6を構成するアクティベータリック基板1-1の上に駆動回路1-0-0-4を形成してもよい。それに加えて、表示情報処理回路1-0-0-2もアクティベータリック基板1-1の上に形成してもよい。

【0102】このような構成の電子機器としては、電気光学装置1を透過型に構成した場合には、図2-1を参照して後述する投射型液晶表示装置(液晶プロジェクタ)、マクロスコープや計算機用マイクロプロセッサー(PC)、およびエンドアーリング、コードレス電話(EWS)、携帯電話、ワードプロセッサー、テレビ、ビデオディスク型またはセミタ直視型ビデオディスプレイ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タブレットなどを挙げることができる。

【0103】図2-1に示す投射型液晶表示装置1-1-0-0は、前記の駆動回路1-0-0-4がアクティベータリック基板1-1上に搭載された電気光学装置1を含む液晶モジュールを3側準備し、各々R、G、B用のライフル材1-0-0-R、1-0-0-G、1-0-0-Bとして用いたマイクロカタとして構成されている。この液晶プロジェクタ1-1-0-0では、メタルハライドランプなどの白色光源やランプエンド1-1-0-2-0から光が射出されると、3枚のミラー1-1-0-6および2枚のダブルロイドミラー1-1-0-8によって、R、G、Bの3種色に射出する光束がR、G、Bに分離され(光分離手段)。対応するライフル材1-0-0-R、1-0-0-G、1-0-0-B(電気光学装置1-0-0、液晶モジュール等)に各々導かれる。この際に、光束Bは光路が長いので、光損失を防ぐために大材リーズ1-1-2-2、リレーレンズ1-1-2-3、および出射レンズ1-1-2-4からなるリレーレンズ系1-1-2-1を介して導かれて、そして、ライトバルブ1-0-0-R、1-0-0-G、1-0-0-Bによって各々変調された3色光に射出する光束R、G、Bは、ダイクロイックプリズム1-1-1-2(光路手段)に

3方向から入射され、再度合成された後、投射レンズ114を通してスクリーン1120などにカラー画像として投射される。

#### 【010-1】

【発明の効果】以上説明したように、本発明に係るTFTの製造方法では、レーザアニール工程を行う時点で非晶質の半導体膜の表面に形成されている酸化膜の厚さをゲート絶縁膜の厚みの1/5以下とし、かつ、レーザ光の照射回数を最適化することにより、レーザアニール工程を行った後の多結晶性の半導体膜の表面の凹凸の大きさをゲート絶縁膜の厚みの1/5以下とする。従って、非晶質の半導体膜にレーザアニールを施して得た多結晶性の半導体膜を活性層として用いた場合でも、薄いゲート絶縁膜を形成しなくてもゲート耐圧の低下を10%以下に抑えることができるなど、ゲート耐圧およびしきい値電圧などの面で良好なランジスタ特性を有するTFTを製造できる。

#### 【図面の簡単な説明】

【図1】アクアチップトックス基板に形成された画素の構成を示す平面図である。

【図2】図1のA-A'線における断面図である。

【図3】(A)～(C)は、図1に示すTFTの製造方法を示す工程断面図である。

【図4】図3-(C)で行うレーザアニール工程で用いるレーザアニール装置の概略構成図である。

【図5】(A)～(E)は、図1に示すTFTの製造方法において図3に示す工程に従って行う各工程を示す工程断面図である。

【図6】(A)～(E)は、図1に示すTFTの製造方法において図5に示す工程に従って行う各工程を示す工程断面図である。

【図7】(A)～(D)は、図1に示すTFTの製造方法において図6に示す工程に従って行う各工程を示す工程断面図である。

【図8】(A)～(D)は、図1に示すTFTの製造方法において図7に示す工程に従って行う各工程を示す工程断面図である。

【図9】図1に示すTFTの製造方法において、レーザアニール前の非晶質の半導体膜の表面の酸化膜の厚さと、レーザアニール後の多結晶性の半導体膜の表面の凹凸の大きさとの関係を示すグラフである。

【図10】図1に示すTFTの製造方法において、多結晶性の半導体膜の表面の凹凸と、ゲート耐圧との関係を示すグラフである。

【図11】図1に示すTFTの製造方法において、レーザアニール工程でのレーザ光の照射条件(半導体膜表面の1箇所からみたときのレーザ光の照射回数)と、非晶質の半導体膜から多結晶性の半導体膜に相転移させた後の半導体表面の凹凸の大きさとの関係を示すグラフである。

【図12】図1に示すTFTの製造方法において、レーザアニール工程を行う時点で半導体膜表面に酸化膜が存在しない場合、および半導体膜表面に厚い酸化膜が存在している場合におけるレーザアニール工程でのレーザ光の照射条件(半導体膜表面の1箇所からみたときのレーザ光の照射回数)と、このアニール工程によって得られた多結晶性の半導体膜から形成したTFTのオン電流の大きさとの関係を示すグラフである。

【図13】本発明に係るTFTの製造方法に用いた半導体膜処理装置の概略構成図である。

【図14】本発明に係るTFTの製造方法に用いた別の半導体膜処理装置の概略構成図である。

【図15】本発明に係るTFTの製造方法に用いたさらに別の半導体膜処理装置の概略構成図である。

【図16】本発明を適用したアクティピマトリクス型の液晶表示装置用の電気光学装置の平面図である。

【図17】図16のH-H'線における断面図である。

【図18】図16に示すアクティピマトリクス基板のプロトタイプである。

【図19】図16に示す電気光学装置の端部を拡大して示す断面図である。

【図20】図16および図17に示す電気光学装置の使用例を示す電子機器の回路構成を示すプロトタイプである。

【図21】図16および図17に示す電気光学装置の使用例を示す投射型液晶表示装置の全体構成図である。

#### 【符号の説明】

1 電気光学装置

8 画素電極

10 画素アレイ用のTFT

11 アクティピマトリクス基板

12 対向基板

13 ゲート絶縁膜

39 液晶

43 レーザアレイ基板

52 レーザ材

90 ポリカーボ

94 液晶セル

100 半導体膜

320 レーザ光源

325 レーザ光子干渉

600 700-800 半導体膜処理装置

610 710-820 コーダ・アンローダー部

620 ウェーハエッギング装置

630 洗浄装置

640 脱膜装置

650 750-850 レーザアニール装置

651 装置コードロック

652 752-852 レーザアニール用チャンバー

50 660 760-860 搬送機構

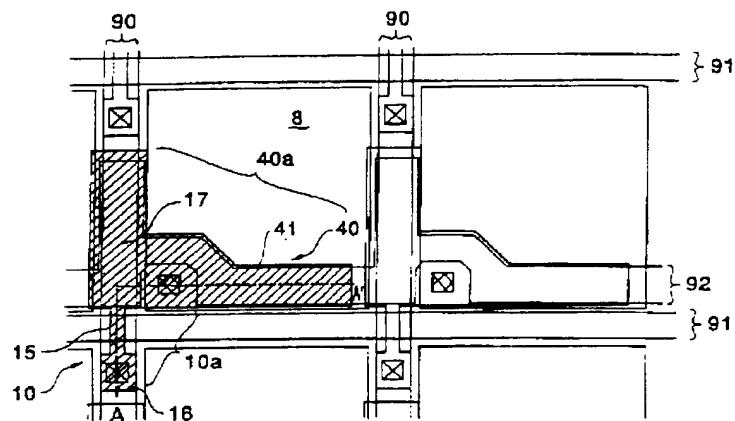
27

28

661 第1の搬送系  
 662 第2の搬送系  
 663 第3の搬送系  
 720 ドライエッチング装置

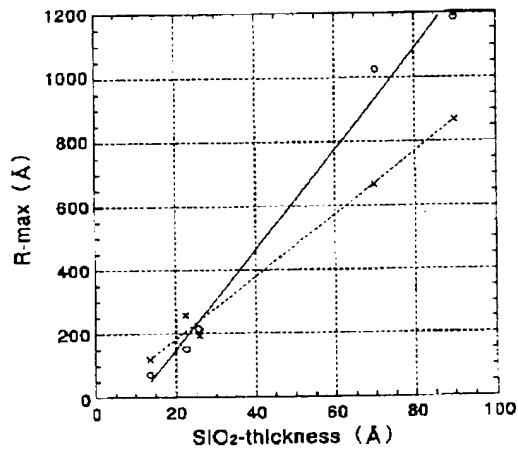
722、872 ガス・RF供給部  
 790、890 ハウジング  
 870 成膜装置

【図1】

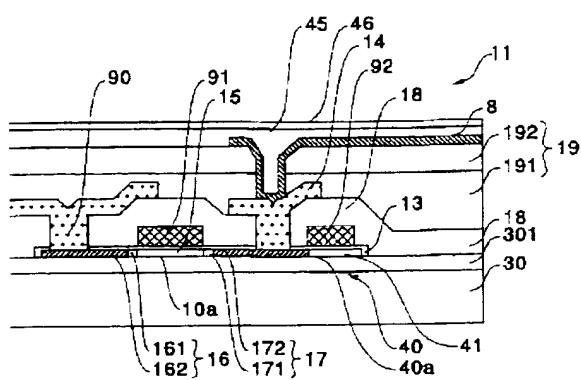


〈画素平面図〉

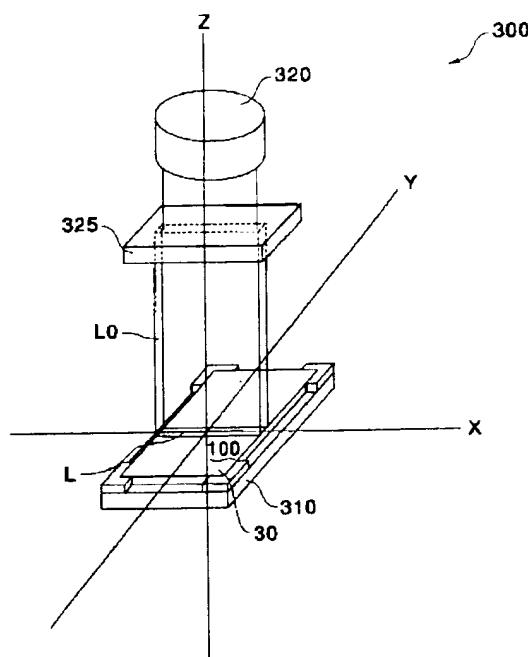
【図9】



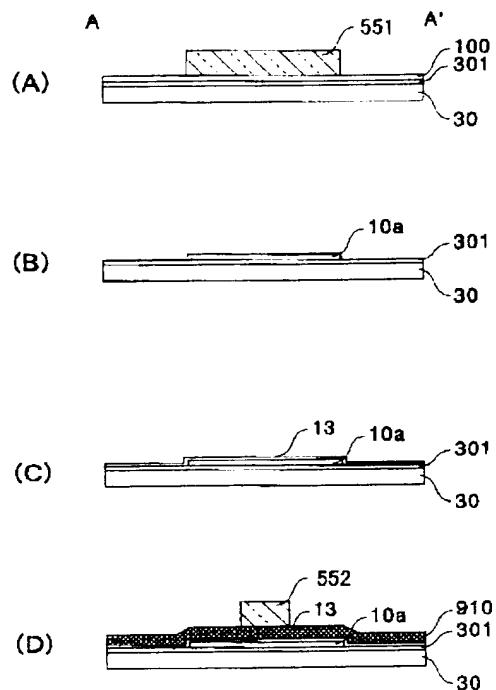
【図2】



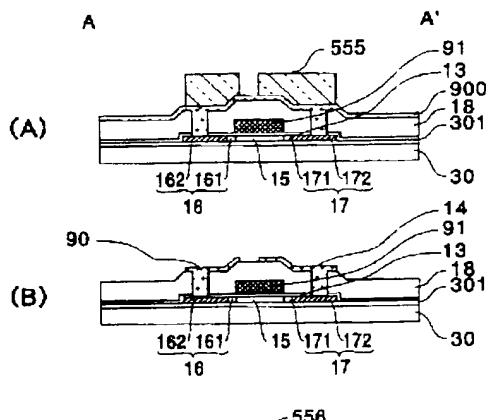
【図4】



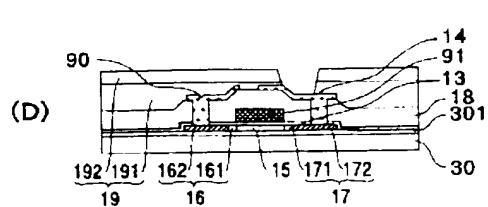
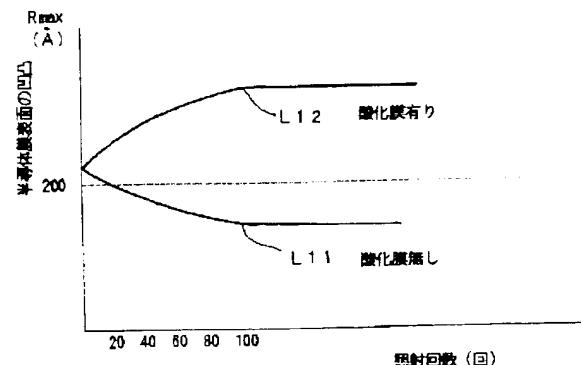
【図5】



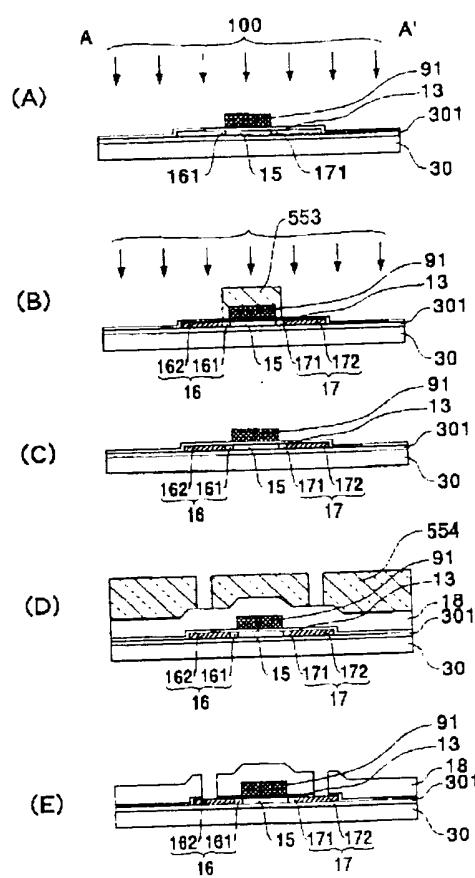
【図7】



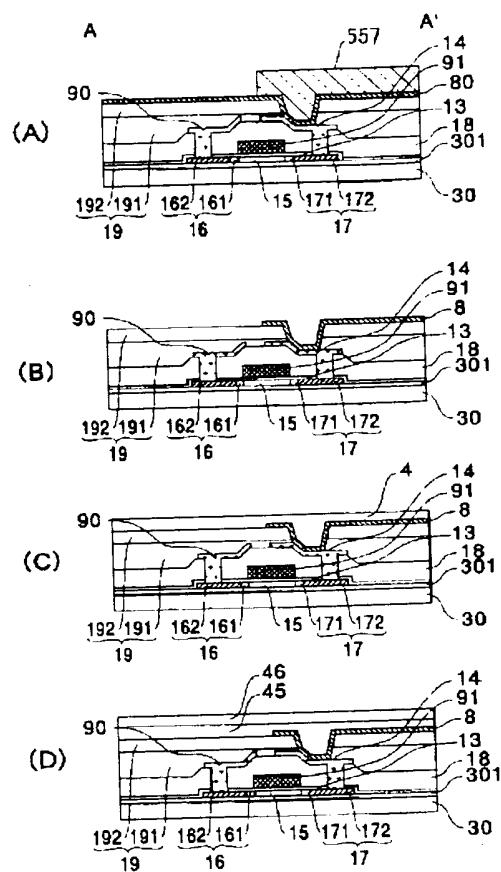
【図11】



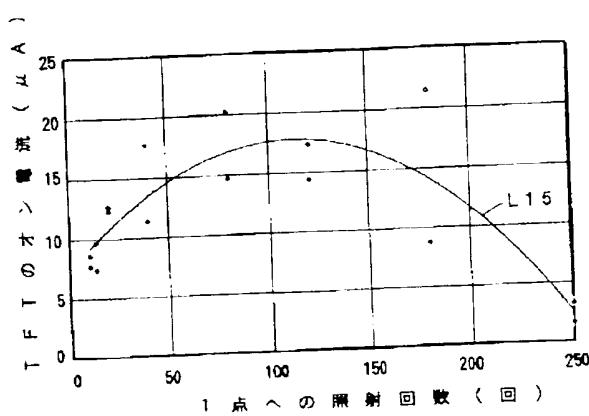
【図6】



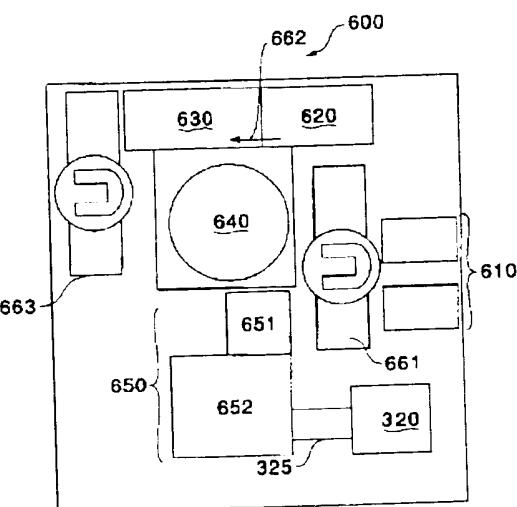
【図8】



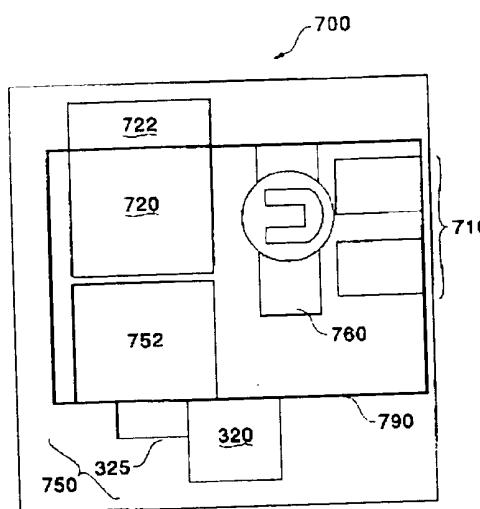
【図12】



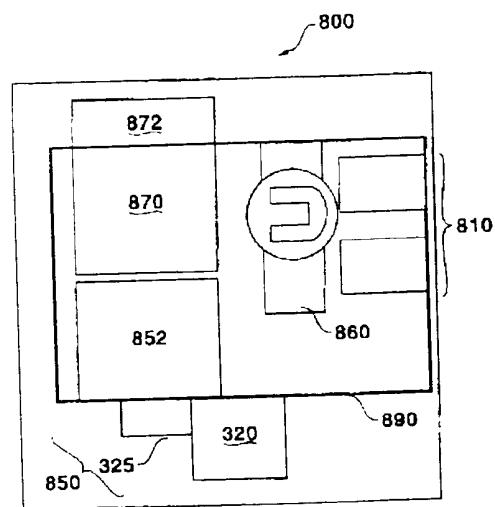
【図13】



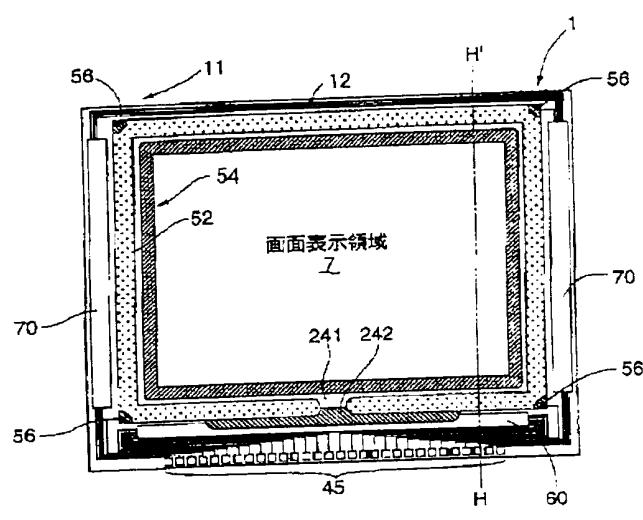
【図1-4】



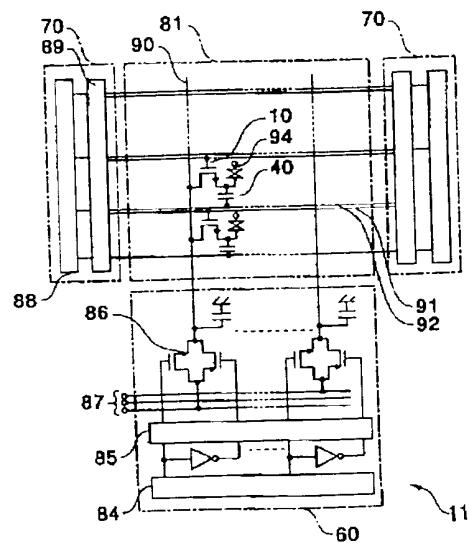
【図1-5】



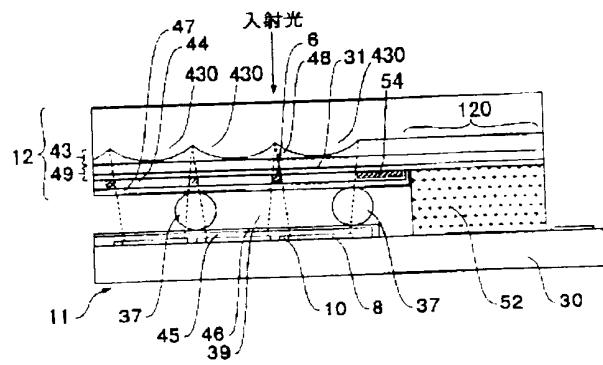
【図1-6】



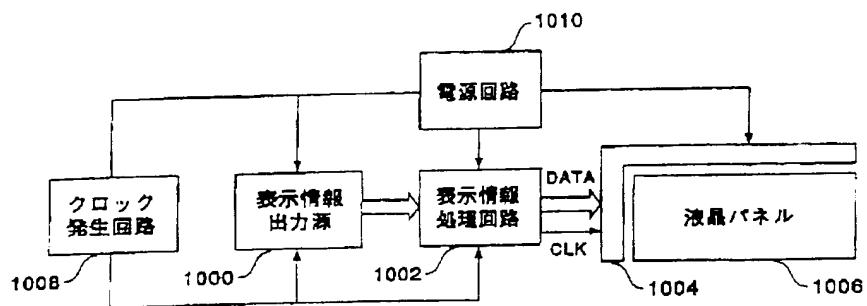
【図1-8】



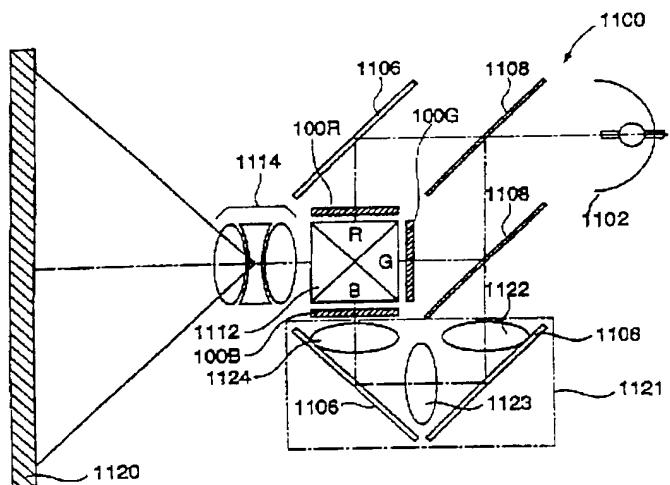
【図1-9】



【図20】



【図21】



フロントページの続き

F ターム(参考) 2H092 GA36 GA51 JA25 JA35 JB69  
KA05 KA10 KA12 KB25 MA05  
MA07 MA08 MA18 MA30 MA37  
MA41 NA22 PA03 PA04 PA08  
PA09 PA10 PA11 QA07 QA10  
RA05  
5F052 AA02 BA07 BB07 CA08 DA02  
DB03 EA01 EA15 FA00 JA01  
JA10  
5F110 AA06 AA08 AA12 BB01 BB02  
BB04 CC02 DD02 DD13 DD24  
DD25 EE04 EE27 FF02 FF03  
FF23 FF29 FF30 GG02 GG13  
GG24 GG25 GG26 GG45 GG47  
HJ01 HJ04 HJ13 HL03 HL23  
HM14 HM15 HM17 HM18 NN03  
NN04 NN22 NN23 NN27 NN35  
NN36 NN40 NN72 PP03 PP04  
PP05 PP06 PP13 PP26 QQ05  
QQ11 QQ30